

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-289089

(43)Date of publication of application : 19.10.1999

(51)Int.Cl.

H01L 29/78

H01L 21/28

H01L 29/872

H01L 29/786

(21)Application number : 11-029969

(71)Applicant : TOSHIBA CORP

(22)Date of filing : 08.02.1999

(72)Inventor : MATSUZAWA KAZUYA
NISHIYAMA AKIRA
UCHIDA KEN

(30)Priority

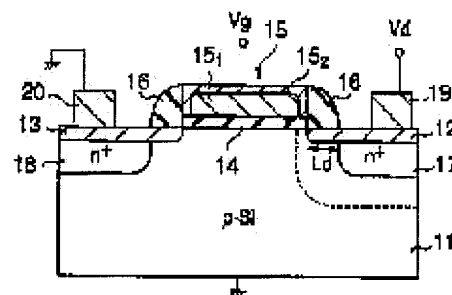
Priority number : 10 25712 Priority date : 06.02.1998 Priority country : JP

(54) SEMICONDUCTOR DEVICE AND ITS MANUFACTURE

(57)Abstract:

PROBLEM TO BE SOLVED: To suppress the occurrence of short-channel effects and leakage currents in a field effect transistor in which metallic electrodes are formed as a source and a drain.

SOLUTION: A semiconductor device has a drain silicide 12 and a source silicide 13 selectively formed on the surface of a p-type Si substrate 11 and a gate electrode 15 formed on the exposed surface of the Si substrate 11 with a gate oxide film 14 in between. The gate electrode 15 is composed of a gate polycrystalline silicon 151 and a gate silicide 152 formed on the surface of the polycrystalline silicon 151. Side-wall oxide films 16 are formed on the side faces of the gate electrode 15 and an n⁺-type drain diffusion layer 17 and an N⁺-type source diffusion layer 18 are respectively formed under the drain silicide 12 and source silicide 13 at a distance Ld from the ends of the gate electrode 15. The distance Ld is equal to or shorter than a depletion layer.



(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-289089

(43) 公開日 平成11年(1999)10月19日

(51) Int.Cl.⁹ 識別記号

H 0 1 L 29/78

21/28

29/872

29/786

3 0 1

F I

H 0 1 L 29/78

21/28

29/48

29/78

3 0 1 S

3 0 1 S

M

3 0 1 H

6 1 6 V

審査請求 未請求 請求項の数 8 O L (全 15 頁) 最終頁に続く

(21) 出願番号 特願平11-29969

(22) 出願日 平成11年(1999)2月8日

(31) 優先権主張番号 特願平10-25712

(32) 優先日 平10(1998)2月6日

(33) 優先権主張国 日本 (J P)

(71) 出願人 000003078

株式会社東芝

神奈川県川崎市幸区堀川町72番地

(72) 発明者 松澤 一也

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(72) 発明者 西山 彰

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

(72) 発明者 内田 建

神奈川県横浜市磯子区新杉田町8番地 株

式会社東芝横浜事業所内

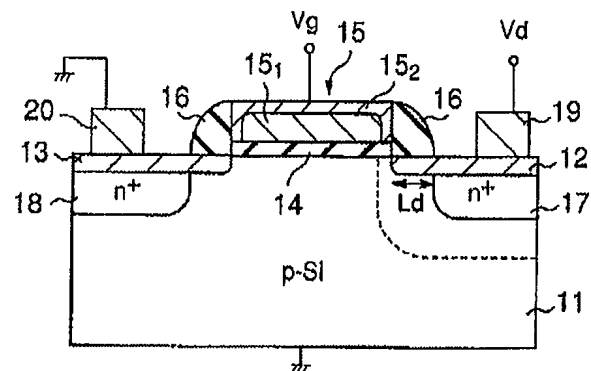
(74) 代理人 弁理士 鈴木 武彦 (外6名)

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】ソース・ドレインとして金属電極が形成された電界効果トランジスタにおいて、短チャネル効果の発生及びリーク電流を抑制する。

【解決手段】p型のSi基板11の表面上に選択的に、ドレイン・シリサイド12及びソース・シリサイド13が形成されている。露出するSi基板11上にゲート酸化膜14を介してゲート電極15が形成されている。ゲート電極15は、ゲート酸化膜14上に形成されたゲート・多結晶シリコン151と、ゲート・多結晶シリコン151の表面に形成されたゲート・シリサイド152とから構成されている。ゲート電極15の側部に側壁酸化膜16が形成されている。ドレイン・シリサイド12及びソース・シリサイド13の下面に、ゲート電極15の端から距離Ld離れて、n⁺型のドレイン拡散層17及びソース拡散層18が形成されている。Ldは空乏層と同程度かそれ以下の長さである。



【特許請求の範囲】

【請求項1】第1導電型の半導体基板上にゲート絶縁膜を介して形成されたゲート電極と、金属電極からなり前記半導体基板との界面にショットキーバリアを形成するソース・ドレインとを具備してなる電界効果トランジスタを含む半導体装置であって、

少なくともドレイン側の前記金属電極の下部に、前記ゲート電極側の該金属電極の端から離れて第2導電型の不純物拡散層が形成されていることを特徴とする半導体装置。

【請求項2】凸部を有する第1導電型の半導体基板と、前記半導体基板の凸部の頭頂部にゲート絶縁膜を介して形成されたゲート電極と、前記凸部の底部に形成された第2導電型の不純物層と、金属電極からなり前記半導体基板との界面にショットキーバリアを形成するソース・ドレインとを具備してなる電界効果トランジスタを含む半導体装置であって、

少なくともドレイン側の前記金属電極の下部に、前記ゲート電極側の該金属電極の端から離れて第2導電型の不純物拡散層が形成されていることを特徴とする半導体装置。

【請求項3】前記ゲート電極側の前記金属電極の端と前記不純物拡散層との間の距離は、前記半導体基板と該不純物拡散層との接合部に形成される空乏層の広がり以下であることを特徴とする請求項1又は2に記載の半導体装置。

【請求項4】前記半導体基板はSOI基板であり、前記電界効果トランジスタが形成された領域の該SOI基板の半導体層と電氣的に接続する半導体層上に電極が形成されていることを特徴とする請求項1又は2に記載の半導体装置。

【請求項5】第1導電型の半導体基板上にゲート絶縁膜を介して形成されたゲート電極と、金属電極からなり前記半導体基板との界面にショットキーバリアを形成するソース・ドレインとを具備してなる電界効果トランジスタを含む半導体装置であって、ドレイン側の前記金属電極の下部に、前記ゲート電極側の該ドレイン側の金属電極の端から離れて第2導電型の不純物拡散層が形成され、ソース側の前記金属電極を内包するように第2導電型の不純物拡散層が形成されていることを特徴とする半導体装置。

【請求項6】半導体基板上にゲート絶縁膜を介して形成されたゲート電極と、金属電極からなり前記半導体基板との界面にショットキーバリアを形成するソース・ドレインとを具備してなる電界効果トランジスタを含む半導体装置であって、

ソース側及びドレイン側の少なくとも一方の金属電極と前記半導体基板との界面に、正孔又は電子に対して、前記半導体基板と金属電極とのショットキーバリアより低いバリアを形成する変調領域が設けられていることを特

徴とする半導体装置。

【請求項7】前記半導体基板がシリコン基板で構成され、前記変調領域がSiGeで構成されていることを特徴とする請求項6に記載の半導体装置。

【請求項8】第1導電型の半導体基板上にゲート絶縁膜を介して形成されたゲート電極と、金属電極からなり前記半導体基板との界面にショットキーバリアを形成するソース・ドレインとを具備してなる電界効果トランジスタを含む半導体装置の製造方法であって、

10 第1導電型の半導体基板にゲート絶縁膜及びゲート電極を形成する工程と、

前記ゲート絶縁膜をマスクにソースとなる側から不純物を斜めイオン注入し、前記半導体基板に第2導電型の拡散層を形成する工程と、

少なくともソース及びドレインとなる領域に選択的に前記金属電極を形成する工程とを含むことを特徴とする半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本発明は、ソース及びドレインに金属電極を用いたMOSトランジスタを有する半導体装置及びその製造方法に関する。

【0002】

【従来の技術】半導体集積回路の多くに、MOSトランジスタ(MOSFET)が用いられている。MOSFETは、ゲート電極の長が短くなると、ソース拡散層とドレイン拡散層が接近し、おのおのの拡散層が形成する空乏層がゲート絶縁膜下のチャネル領域の大部分に広がり、ゲート電極の支配力を弱め、しきい値を低下させる(短チャネル効果)という問題点がある。

【0003】この短チャネル効果の解決方法として、図23に示すショットキー・バリア型電界効果トランジスタ(SBMOSFET)が提案されている。この構造では、ソース或いはドレインとして、不純物拡散層ではなく金属電極(ドレイン・シリサイド12、ソース・シリサイド13)を用い、金属電極12、13と基板11との間にショットキー接合が形成される。なお、14はゲート酸化膜、15はゲート電極、19はドレイン電極、20はソース電極である。

【0004】図24(a)にゼロバイアスにおける基板表面のエネルギー・バンドを示す。ゲート電圧 $V_g > 0$ 、ドレイン電圧 $V_d > 0$ のバイアスを印加すると、エネルギー・バンドは図24(b)のようになる。このとき、電子はソース・シリサイド13からトンネルによってチャネル領域に注入され、ドレイン・シリサイド12に向かって走行する。

【0005】SBMOSFETの場合、不純物拡散層を用いたMOSFETに比べてチャネル領域に広がる空乏層が小さいため、短チャネル効果に対して耐性が高くなる。しかし、ドレイン・シリサイド12と基板11の間

のショットキー・バリアは、0.1～0.3 eV程度で、これより高いドレイン電圧 V_d を印加するとドレイン／基板間のリーク電流が問題となる。

【0006】

【発明が解決しようとする課題】上述したように、SB MOSFETは短チャネル効果に対して耐性が高いが、ショットキーバリアより高いドレイン電圧を印加するとリーク電流が増大するという問題があった。

【0007】本発明の目的は、短チャネル効果の発生及びリーク電流を抑制し、動作特性の向上を図り得る半導体装置及びその製造方法を提供することにある。

【0008】

【課題を解決するための手段】【構成】本発明は、上記目的を達成するために以下のように構成されている。

【0009】(1) 本発明(請求項1)は、第1導電型の半導体基板上にゲート絶縁膜を介して形成されたゲート電極と、金属電極からなり前記半導体基板との界面にショットキーバリアを形成するソース・ドレインとを具備してなる電界効果トランジスタを含む半導体装置であって、少なくともドレイン側の前記金属電極の下部に、前記ゲート電極側の該金属電極の端から離れて第2導電型の不純物拡散層が形成されていることを特徴とする。

【0010】(2) 本発明(請求項2)は、凸部を有する第1導電型の半導体基板と、前記半導体基板の凸部の頭頂部にゲート絶縁膜を介して形成されたゲート電極と、前記凸部の底部に形成された第2導電型の不純物層と、金属電極からなり前記半導体基板との界面にショットキーバリアを形成するソース・ドレインとを具備してなる電界効果トランジスタを含む半導体装置であって、少なくともドレイン側の前記金属電極の下部に、前記ゲート電極側の該金属電極の端から離れて第2導電型の不純物拡散層が形成されていることを特徴とする。

【0011】本発明の好ましい実施態様を以下に示す。

【0012】前記ゲート電極側の前記金属電極の端と前記不純物拡散層との間の距離は、前記半導体基板と該不純物拡散層との接合部に形成される空乏層の広がり以下である。

【0013】前記半導体基板はSOI基板であり、前記電界効果トランジスタが形成された領域の該SOI基板の半導体層と電気的に接続する半導体層上に電極が形成されている。

【0014】(3) 本発明(請求項5)は、第1導電型の半導体基板上にゲート絶縁膜を介して形成されたゲート電極と、金属電極からなり前記半導体基板との界面にショットキーバリアを形成するソース・ドレインとを具備してなる電界効果トランジスタを含む半導体装置であって、ドレイン側の前記金属電極の下部に、前記ゲート電極側の該ドレイン側の金属電極の端から離れて第2導電型の不純物拡散層が形成され、ソース側の前記金属

電極を内包するように第2導電型の不純物拡散層が形成されていることを特徴とする。

【0015】(4) 本発明(請求項6)は、半導体基板上にゲート絶縁膜を介して形成されたゲート電極と、金属電極からなり前記半導体基板との界面にショットキーバリアを形成するソース・ドレインとを具備してなる電界効果トランジスタを含む半導体装置であって、ソース側及びドレイン側の少なくとも一方の金属電極と前記半導体基板との界面に、正孔又は電子に対して、前記半導体基板と金属電極とのショットキーバリアより低いバリアを形成する変調領域が設けられていることを特徴とする。

【0016】本発明(請求項6)の好ましい実施態様を以下に記す。

【0017】前記半導体基板がシリコンから構成され、前記変調領域がSiGeで構成されている。

【0018】ソース又はドレイン側の前記金属電極の下部に、空乏層が前記金属電極を内包する前記半導体基板と反対伝導型の拡散層が形成されている。

【0019】前記金属電極のフェルミレベルが前記半導体基板のエネルギー・バンドギャップ中央よりも該基板と反対伝導型のエネルギー端にシフトした領域を設けられている。

【0020】(5) 本発明(請求項8)は、第1導電型の半導体基板上にゲート絶縁膜を介して形成されたゲート電極と、金属電極からなり前記半導体基板との界面にショットキーバリアを形成するソース・ドレインとを具備してなる電界効果トランジスタを含む半導体装置の製造方法であって、第1導電型の半導体基板にゲート絶縁膜及びゲート電極を形成する工程と、前記ゲート絶縁膜をマスクにソースとなる側から不純物を斜めイオン注入し、前記半導体基板に第2導電型の拡散層を形成する工程と、少なくともソース及びドレインとなる領域に選択的に前記金属電極を形成する工程とを含むことを特徴とする。

【0021】【作用】本発明は、上記構成によって以下の作用・効果を有する。

【0022】第1導電型の半導体基板と第2導電型の不純物拡散層とによるpn接合によって形成される空乏層が、金属電極を包み込むため、リーク電流が抑制される。また、不純物拡散層は、ゲート電極の端から離れて形成されているために、チャネル領域に空乏層が広がらないので、短チャネル効果に対して高い耐性を有する。従って、短チャネル効果の発生及びリーク電流を同時に抑制することができる。

【0023】ソース側の高濃度不純物領域がソース側の金属電極を包むため、金属／半導体界面のトンネル・バリアの形状が急峻になる。このため、キャリアのトンネル確率が増大し、従来のSB MOSに比してドレイン電流が増大する。また、ドレイン側の不純物拡散層がゲ

ト電極から離れ、且つその空乏層がドレイン側の金属電極を包む位置に形成されるので、従来のMOSFETよりも高い短チャネル耐性を保持したまま、従来のSBMOSよりも低いドレイン基板リーク電流を実現できる。

【0024】また、正孔にとってのバリアが低下するように価電子帯端が変調されるn型SBMOSFETにおいては、基板の多数キャリアである正孔の空乏化が抑制される。その結果、短チャネル効果が抑制される。さらに、正孔にとってのバリアが低下することにより増大するドレイン／基板間の正孔によるリーク電流は、その空乏層がドレイン側の金属電極を包む位置に形成されたドレイン側の拡散層によって抑制される。

【0025】正孔にとってのバリアが低下するように価電子帯端が変調されるp型SBMOSにおいては、正孔にとってのバリアが低下するので、金属電極からチャネルへの正孔の注入確率が増大し、ドレイン電流が増大する。また、ドレイン／基板間の電子によるリーク電流は、その空乏層がドレイン側の金属電極を包む位置に形成されたドレインp型の拡散層によって抑制される。

【0026】さらに、フェルミ・レベルがシリコンのエネルギー・バンドギャップ中央よりも伝導帯にシフトした金属電極を用いることにより、SiGe領域を有するn型SBMOSにおいては、ソース側の金属電極からチャネルへの電子の注入確率が増大するので、SiGeによる短チャネル耐性を保持したままドレイン電流の増大を実現することができる。

【0027】また、フェルミ・レベルがシリコンのエネルギー・バンドギャップ中央よりも伝導帯にシフトした金属電極を用いることにより、SiGe領域を有するp型SBMOSにおいては、電子にとってのバリアが低下することにより基板の多数キャリアである電子の空乏化が抑制されるので、短チャネル効果が抑制される。さらに、電子にとってのバリアが低下することにより増大するドレイン／基板間の電子によるリーク電流は、その空乏層が金属電極を包む位置に形成されたドレイン側の拡散層によって抑制される。

【0028】

【発明の実施の形態】本発明の実施の形態を以下に図面を参照して説明する。

【0029】〔第1実施形態〕図1は、本発明の第1実施形態に係わるショットキー・バリアMOSFET(SBMOSFET)の構造を示す断面図である。

【0030】p型のSi基板11の表面上に選択的に、ドレイン・シリサイド12及びソース・シリサイド13が形成されている。露出するSi基板11上にゲート酸化膜14を介してゲート電極15が形成されている。ゲート電極15は、ゲート酸化膜14上に形成されたゲート・多結晶シリコン151と、ゲート・多結晶シリコン151の表面に形成されたゲート・シリサイド152とから構成されている。ゲート電極15の側部に側壁酸化

膜16が形成されている。

【0031】ドレイン・シリサイド12及びソース・シリサイド13の下面に、ゲート電極15側の端から距離 L_d 離れて、n⁺型のドレイン拡散層17及びソース拡散層18が形成されている。ドレイン・シリサイド12及びソース・シリサイド13上に、それぞれドレイン電極19及びソース電極20が形成されている。

【0032】このトランジスタは、n⁺型のドレイン拡散層17及びソース拡散層18とp型のSi基板11とのpn接合によって形成される空乏層がドレイン及びソース・シリサイド12、13を包み込むことによって、リーク電流が抑制される。

【0033】なお、ドレイン拡散層17から広がる空乏層の長さは、基板11の濃度、ドレイン拡散層12の濃度及びドレイン電圧 V_d によって規定される。上述したように、空乏層はドレイン・シリサイド12を包む必要があるため、距離 L_d は、次式の X_{dep} と同じか X_{dep} よりも小さく設定しなければならない。

$$【0034】X_{dep} = \{ 2 \times \epsilon / q \times (N_a + N_d) / N_a / N_d \times V_{bi} + V_d \}^{1/2}$$

ここで、 ϵ は基板11の誘電率、 q は単位素電荷、 N_a は基板濃度、 N_d はドレイン拡散層17の最大濃度、 V_{bi} はビルトイン電位である。なお、ビルトイン電位 V_{bi} は次式で与えられる。

【0035】

$$V_{bi} = k \times T / q \times \ln (N_a \times N_d / n_i^2)$$

ここで、 k はボルツマン定数、 T は温度、 n_i は真性キャリア濃度である。

【0036】次に、図2の工程断面図を用いて、図1のSBMOSFETの製造工程について説明する。

【0037】まず、p型のSi基板11を熱酸化し、その表面にゲート酸化膜14を形成する。そして、多結晶シリコンを全面に堆積した後、三塩化燐酸ガスを用いて燐を多結晶シリコンに導入し、n型のゲート・多結晶シリコン151を形成する(図2(a))。次いで、反応性イオン・エッチングによってゲート形状のゲート酸化膜14とゲート・多結晶シリコン151を成形する(図2(b))。

【0038】次いで、全面にチタンを堆積した後加熱し、Si基板11の表面にドレイン・シリサイド12及びソース・シリサイド13を、ゲート・多結晶シリコン151の表面にゲート・シリサイド152を形成する(図2(c))。次いで、化学真空蒸着法を用いてシリコン酸化膜を堆積した後、CDE(Chemical Dry Etching)を用いてシリコン酸化膜をエッチングして側壁酸化膜16を形成する(図2(d))。次いで、ゲート電極15及び側壁酸化膜16をマスクとしてヒ素をイオン注入した後、アニールする事によってSi基板11内にドレイン拡散層17とドレイン拡散層18を形成する(図2(e))。

【0039】なお、図3に示すように、SOI基板30を用いても良い。従来のSBMOSFETにSOI基板30を用いると、酸化膜層32によって支持基板31と半導体層33とが絶縁されているので、本質的にドレイン拡散層17と支持基板31との間のリークはない。しかし、オフ時のソース／ドレイン間のリーク電流が問題となる。本発明によれば、SBMOSFETにSOI基板を用いた場合のソース／ドレイン間のリークが抑制される。

【0040】〔第2実施形態〕図4は、本発明の第2実施形態に係わるSBMOSFETの構成を示す図である。図4(a)は平面図、図4(b)はB-B'部の断面図である。なお、図4において図3と同一な部分には同一符号を付し、その詳しい説明を省略する。

【0041】本実施形態の特徴は、SBMOSFETを絶縁分離するフィールド酸化膜41と隔てた領域に、ボディ電極拡散層44、ボディ・シリサイド42上にボディ電極43が形成されていることである。

【0042】上記構成によって、半導体層33の電位を制御している。すなわち、図4(b)の断面図に示されているように、半導体層33の電位を、半導体層33に隣接するボディ電極拡散層44上のボディ電極43に印加する電位によって制御する。例えば、ゲート電極15とボディ電極43の電位を同じにすることにより、高速なカットオフ特性を得ることができる。

【0043】なお、図4(a)のA-A'部における断面に関しては、図3に示したトランジスタと同様である。

【0044】本実施形態によれば、ソース及びドレイン拡散層の空乏層が、半導体層33に広がる現象が抑制されているので、ボディ電極43の電位の半導体層33に対する制御性が向上する。

【0045】〔第3実施形態〕本実施形態では、しきい値を調整するためにチャンネル領域にドレイン・ソース拡散層と同導電型の不純物層を形成した埋め込みチャンネル型のトランジスタに適用した形態について説明する。

【0046】図5は、本発明の第3実施形態に係わるSBMOSFETの構成を示す断面図である。なお、図5において、図1と同一な部分については同一符号を付し、その説明を省略する。

【0047】凸部を有するn型Si基板51の凸部の底部にp型の埋め込みチャンネル層52が形成されている。そして、Si基板51の凸部の側面及び凸部の頭頂部以外の表面に選択的にドレイン・シリサイド12及びソース・シリサイド13が形成されている。Si基板51の凸部の頭頂部にゲート酸化膜14を介してゲート電極15が形成されている。ゲート電極15はゲート・多結晶シリコン151とゲート・シリサイド152とから構成されている。

【0048】ドレイン・シリサイド12及びソース・シ

リサイド13の下面に、ゲート電極15側の端から距離Ld離れて、p⁺型のドレイン拡散層53及びソース拡散層54が形成されている。ドレイン・シリサイド12及びソース・シリサイド13上に、それぞれドレイン電極19及びソース電極20が形成されている。

【0049】次に、図6の工程断面図を用いて図5のSBMOSFETの製造工程を説明する。

【0050】まず、n型のSi基板51にホウ素をイオン注入して、Si基板51の内部にp型の埋め込みチャンネル領域52を形成する。そして、熱酸化によって、露出するn型基板51の表面にゲート酸化膜14を形成する。次いで、全面に多結晶シリコンを堆積した後、三塩化燐酸ガスを用いて燐を多結晶シリコンに導入し、n型のゲート・多結晶シリコン151を形成する(図6(a))。

【0051】次いで、反応性イオン・エッチング法を用いてゲート酸化膜14とゲート・多結晶シリコン151及びSi基板51をパターニングし、埋め込みチャンネル領域52の下部のSi基板51が露出するまでエッチングする(図6(b))。

【0052】次いで、全面にチタンを堆積した後、加熱してドレイン・シリサイド12、ソース・シリサイド13及びゲート・シリサイド152を形成する(図6(c))。

次いで、化学真空蒸着法を用いてシリコン酸化膜を堆積した後、CDEを用いてシリコン酸化膜をエッチングし側壁酸化膜16を形成する(図6(d))。

【0053】次いで、Si基板51の表面にホウ素をイオン注入した後、アニールしてドレイン拡散層53とソース拡散層54を形成する(図6(e))。その後、全面に電極材を堆積した後、パターニングすることによってドレイン電極19及びソース電極20を形成し、図5に示したSBMOSFETが形成される。

【0054】なお、図7に示すように、半導体基板としてSOI基板70を用いる事も可能である。SOI基板70を用いると酸化膜層72によって支持基板71と半導体層73とが絶縁されているので、本質的にドレイン／基板間のリークがなくなるだけでなく、オフ時のソース／ドレイン間のリークが抑制される。

【0055】〔第4実施形態〕第3実施形態のSBMOSFETは、ゲート・シリサイド152、ドレイン・シリサイド12、ソース・シリサイド13を形成する際、ゲート酸化膜14の側面がわずかにシリサイド化して、ゲート・シリサイド152とソース及びドレイン・シリサイド12、13が電気的にショートする場合がある。この現象をブリッジングと呼ぶ。

【0056】そこで、ゲート・シリサイド151とソース及びドレイン・シリサイド12、13が電気的にショートすることを防止する構造について説明する。

【0057】図8は、本発明の第4実施形態に係わるSBMOSFETの構成を示す断面図である。図8におい

て、図5と同一な部分には同一符号を付し、その説明を省略する。

【0058】本実施形態の特徴は、ゲート・シリサイド152がゲート・多結晶シリコン151の上面のみに形成されており、ゲート・多結晶シリコン151の側面には形成されていないことである。そして、ゲート電極15の側部に第1側壁絶縁膜81が形成され、第1側壁絶縁膜81及びSi基板51の凸部の側部に第2側壁絶縁膜82が形成されていることである。

【0059】本実施形態のトランジスタにおいては、ゲート・シリサイド152、ソース・シリサイド13及びドレイン・シリサイド12が離れて形成されているので、ブリッジングの恐れはない。

【0060】次に、図9の工程断面図を用いて本実施形態のSBMOSFETの製造工程を説明する。

【0061】まず、第3実施形態と同様にn型Si基板51の内部に埋め込みチャネル領域52を形成した後、ゲート酸化膜14及びn型のゲート・多結晶シリコン151を形成する。そして、熱酸化によって、ゲート・多結晶シリコン151の表面にシリコン酸化膜83を形成した後、反応性イオン・エッチングによってシリコン酸化膜83、n型多結晶シリコン151及びゲート酸化膜14をゲート形状にパターニングする。そして、化学真空蒸着法を用いてシリコン酸化膜を堆積した後、CDE法を用いてシリコン酸化膜をエッチングして第1側壁絶縁膜81を形成する(図9(a))。

【0062】次いで、シリコン酸化膜83と第1側壁酸化膜81をマスクとして用いて、n型基板51をエッチングし、埋め込みチャネル領域52下のSi基板51を露出させる(図9(b))。次いで、シリコン酸化膜83をエッチングによって選択的に除去する。そして、全面にチタンを堆積した後、加熱してドレイン・シリサイド12とソース・シリサイド13とゲート・シリサイド152を形成する(図9(c))。この際、ドレイン・シリサイド12とソース・シリサイド13は、ゲート酸化膜14の端に到達する厚さまでシリサイド工程を行う。

【0063】次いで、化学真空蒸着法を用いてシリコン酸化膜を堆積した後、CDEを用いてシリコン酸化膜をエッチングし第2側壁絶縁膜82を形成する(図9(d))。次いで、ホウ素をイオン注入した後、アニールしてドレイン拡散層53及びソース拡散層54を形成する(図9(e))。その後、全面に電極材を堆積した後、パターニングすることによってドレイン電極19及びソース電極20を形成し、図8に示したSBMOSFETが形成される。

【0064】また、図10の断面図に示すように、Si基板の代わりにSOI基板70を用いることも可能である。酸化膜層72によって支持基板71と半導体層73とが絶縁されているので、本質的にドレイン/基板間の

リークはない。

【0065】[第5実施形態] 図11は、本発明の第5実施形態に係わるSBMOSFETの構造を示す図である。図11(a)は平面図、図11(b)は図11(a)のD-D'部の断面図である。C-C'部における断面に関しては、図10に示したトランジスタと同様の構造である。図11において、図4、5と同一な部分には同一符号を付しその説明を省略する。

【0066】図10のSBMOSFETとの差異は、半導体層73の電位を制御することにある。すなわち、図11(b)に示すように、半導体層73の電位を、半導体層73に隣接するボディ電極拡散層44上のボディ電極43によって制御する。

【0067】例えば、ゲート電極15とボディ電極43の電位を同じにすることにより、高速なスイッチング特性を得ることができる。

【0068】また、ブリッジング対策をしたSBMOSFETに対しても本実施形態と同様にボディ制御型のSOI構造を適用することも可能である。

【0069】[第6実施形態] ところで、上述したSBMOSFETは、短チャネル効果の発生及びリーク電流を抑制することができるが、ドレイン電流が小さいという問題がある。そこで、以下の実施形態では、短チャネル効果の発生及びリーク電流を抑制しつつ、ドレイン電流の増大を図り得るSBMOSFETについて説明する。

【0070】図12は、本発明の第6実施形態に係わるSBMOSFETの構成を示す断面図である。なお、図1と同一な部分には同一符号を付し、その詳細な説明を省略する。p型のシリコン基板11にゲート酸化膜14を介してゲート電極15が形成され、そのゲート電極15の両側にドレイン・シリサイド(ドレイン・ショットキー電極)6とソース・シリサイド(ソース・ショットキー電極)13とが形成されている。ソース・シリサイド13とシリコン基板11との界面にはn⁺型のソース拡散層18が形成され、ドレイン・シリサイド12はn⁺型のドレイン拡散層5が形成する空乏層によって内包されている。

【0071】本構造のSBMOSFETは、ソース拡散層18がソース・シリサイド13を包むため、金属/半導体界面のトンネルバリアの形状が急峻になるのでキャリアのトンネル確率が增大するので、ショットキー・バリアによる抵抗が大幅に減少し、従来のSBMOSFETに比してドレイン電流が増大する。また、ドレイン拡散層17がゲート電極15から離れ、且つその空乏層がドレイン・シリサイド12を包む位置に形成されるので、従来のMOSFETよりも高い短チャネル耐性を保持したまま、従来のSBMOSよりも低いドレイン/基板リーク電流を実現できる。

【0072】次に、図13を用いて図12に示すSBM

OSFETの製造工程を説明する。図13は、本発明の第6実施形態に係わるSBMOSFETの製造工程を示す工程断面図である。

【0073】 先ず、図13(a)に示すように、p型シリコン基板11の表面熱酸化によってゲート酸化膜14を形成した後、ゲート・多結晶シリコン151を堆積し、ゲート・多結晶シリコン151上にレジスト91を塗布する(図13(a))。次いで、図13(b)に示すように、リソグラフィ技術を用いてレジスト91をパターニングする。

【0074】 次いで、図13(c)に示すように、パターニングされたレジスト91をマスクとして、ゲート・多結晶シリコン151とゲート酸化膜14に対してRIE(反応性イオン・エッチング)を施した後、レジスト91を除去する。

【0075】 次いで、図13(d)に示すように、砒素をソースが形成される側から斜めイオン注入し、RTA(Rapid Thermal Anneal)によってn⁺型のソース拡散層18とドレイン拡散層17を形成する。ソース側から斜めイオン注入を行うことによって、ソース拡散層18の端はゲート・多結晶シリコン151の下方に形成され、ドレイン拡散層17の端はゲート・多結晶シリコン151の端から離れて形成される。

【0076】 次いで、図13(e)に示すように、チタンを堆積した後、RTAによってソース・シリサイド13とドレイン・シリサイド12とゲート・シリサイド152を形成し、未反応のチタンを除去する(図13(e))。

【0077】 以上示したように、ソース側から斜めイオン注入をおこなうことによって、ソース拡散層18がソース・シリサイド13とシリコン基板11との界面に形成され、ドレイン拡散層17の端はゲート電極15側のドレイン・シリサイド12端から離れて形成された構造のSBMOSFETを1回のイオン注入でおこなうことができる。

【0078】 なお、本実施形態はn型SBMOSFETについて示したが、p型SBMOSFETであってもよい。

【0079】 【第7実施形態】 図14は、本発明の第7実施形態に係わるSBMOSFETの構成を示す断面図である。p型のSi基板11の表面上に選択的に、ドレイン・シリサイド12及びソース・シリサイド13が形成されている。露出するSi基板11上にゲート酸化膜14を介してゲート電極15が形成されている。ゲート電極15は、ゲート酸化膜14上に形成されたゲート・多結晶シリコン151と、ゲート・多結晶シリコン151の表面に形成されたゲート・シリサイド152とから構成されている。

【0080】 Si基板11とドレイン・シリサイド12及びソース・シリサイド13の界面に、それぞれドレイ

ン・SiGe領域(変調領域)101及びドレインSiGe領域(変調領域)102がそれぞれ形成され、シリサイド12、13がSiGe領域101、102によって内包されている。ドレイン・シリサイド12及びソース・シリサイド13上に、それぞれドレイン電極19及びソース電極20が形成されている。

【0081】 本実施形態のSBMOSFETにおいては、価電子帯端が変調され、正孔にとってのバリアが低下するので、基板の多数キャリアである正孔の空乏化が抑制される。その結果、短チャネル効果が抑制される。

【0082】 【第8実施形態】 図15は、本発明の第8実施形態に係わるSBMOSFETの構成を示す断面図である。なお、図14と同一な部位には同一符号を付し、その詳細な説明を省略する。

【0083】 本実施形態のSBMOSFETは、第7実施形態と同様にSiGe領域を有し、ソース・シリサイド13はソース拡散層112が形成する空乏層によって内包されている。ドレイン・シリサイド12はドレイン拡散層111が形成する空乏層によって内包されている。

【0084】 本実施形態においては、SiGe領域101、102において正孔にとってのバリアの低下によって増大する正孔によるp型Si基板11へのリーク電流が、その空乏層がドレイン・シリサイド12を包む位置に形成された拡散層によって抑制される。

【0085】 次に、図15に示したSBMOSFETの製造工程について説明する。図16は、本発明の第8実施形態に係わるSBMOSFETの製造工程を示す工程断面図である。

【0086】 先ず、図16(a)に示すように、p型シリコン基板11の表面に熱酸化によってゲート酸化膜14を形成した後、ゲート・多結晶シリコン151を堆積し、ゲート・多結晶シリコン151上にレジストを塗布する。そして、リソグラフィ技術を用いてレジストをパターニングする。そして、パターニングされたレジストをマスクとして、ゲート・多結晶シリコン151とゲート酸化膜14に対してRIE(反応性イオン・エッチング)を施した後、レジストを除去する。

【0087】 次いで、図16(b)に示すように、ゲート酸化膜14をマスクとして、Geをイオン注入した後、RTAによりソース・SiGe領域102とドレイン・SiGe領域101を形成する。

【0088】 次いで、図16(c)に示すように、全面にシリコン酸化膜121を堆積する。次いで、図16(d)に示すように、シリコン酸化膜121に対してRIEを行い、シリコン酸化膜121を多結晶シリコン151の側壁に残す。

【0089】 次いで、図16(e)に示すように、多結晶シリコン151と側壁のシリコン酸化膜14をマスクとして砒素をイオン注入した後、RTAを行うことによ

ってソース拡散層112とドレイン拡散層111を形成する。

【0090】次いで、図16(f)に示すように、多結晶シリコン151の側壁に形成されている側壁のシリコン酸化膜121をRIEにより除去する。次いで、図16(g)に示すように、チタンを堆積した後、RTAを行うことによってソース・シリサイド13、ドレイン・シリサイド12及びゲート・シリサイド152を形成し、未反応のチタンを除去する。

【0091】なお、図16(c)～図16(f)の工程10を省けば、第7実施形態の構造が実現される。

【0092】【第9実施形態】図17は、本発明の第9実施形態に係わるSBMOSFETの構成を示す断面図である。なお、図14と同一な部位には同一符号を付し、その詳細な説明を省略する。

【0093】p型シリコン基板11の表面にSiGe層131が形成されている。SiGe層131上にゲート酸化膜14を介してゲート電極15が形成され、そのゲート電極3の両側にソース・シリサイド13とドレイン・シリサイド12が形成されている。

【0094】本実施形態においては、価電子帯端が変調され、正孔にとってのバリアが低下するので、基板の多数キャリアである正孔の空乏化が抑制される。その結果、短チャネル効果が抑制される。

【0095】【第10実施形態】図18は、本発明の第10実施形態に係わるSBMOSFETの構成を示す断面図である。なお、図17と同一な部位には同一符号を付し、その詳細な説明を省略する。

【0096】本実施形態では、第9実施形態と同様にp型Si基板11上にSiGe層131が形成され、ソース・シリサイド13はソース拡散層133が形成する空乏層によって内包される。ドレイン・シリサイド12はドレイン拡散層132が形成する空乏層によって内包される。

【0097】本実施形態においては、SiGe層131において正孔にとってのバリアが低下することにより増大する正孔によるp型Si基板11へのリーク電流が、その空乏層がドレイン・シリサイド12を包む位置に形成されたn⁺拡散層によって抑制される。

【0098】【第11実施形態】図19は、本発明の第11実施形態に係わるSBMOSFETの構成を示す断面図である。なお、図17と同一な部位には同一符号を付し、その詳細な説明を省略する。

【0099】p型シリコン基板141にゲート酸化膜14を介してゲート電極15が形成され、そのゲート電極15の両側にソース・シリサイド13とドレイン・シリサイド12が形成されている。そして、ソース・シリサイド13及びドレイン・シリサイド12と基板141との界面にそれぞれ、ソース・SiGe領域102及びドレイン・SiGe領域101が形成され、シリサイド150

2、13がSiGe領域101、102で内包されている。

【0100】本実施形態においては、正孔にとってのバリアが低下するので、ソース・シリサイド13からチャネルへの正孔の注入確率が増大し、ドレイン電流が増大する。

【0101】【第12実施形態】図20は、本発明の第12実施形態に係わるSBMOSFETの構成を示す断面図である。なお、図19と同一な部位には同一符号を付し、その詳細な説明を省略する。

【0102】本実施形態では、第11実施形態と同様にSiGe領域101、102を有し、ソース・シリサイド13はp⁺型のソース拡散層112が形成する空乏層によって内包される。ドレイン・シリサイド12はp⁺型のドレイン拡散層113が形成する空乏層によって内包される。本実施形態においては、p⁺拡散層による空乏層がショットキー電極を包むことによって、電子による基板へのリーク電流が抑制される。

【0103】【第13実施形態】図21は、本発明の第13実施形態に係わるSBMOSFETの構成を示す断面図である。なお、図19と同一な部位には同一符号を付し、その詳細な説明を省略する。

【0104】n型シリコン基板141上部にSiGe層144が形成されている。SiGe層144上にゲート酸化膜14を介してゲート電極15が形成され、そのゲート電極15の両側にソース・シリサイド13とドレイン・シリサイド12が形成される。

【0105】本実施形態においては、正孔にとってのバリアが低下するので、ソース・シリサイド13からチャネルへの正孔の注入確率が増大し、ドレイン電流が増大する。

【0106】【第14実施形態】図22は、本発明の第14実施形態に係わるSBMOSFETの構成を示す断面図である。なお、図21と同一な部位には同一符号を付し、その詳細な説明を省略する。

【0107】本実施形態では、第13実施形態と同様にSiGe層144が形成され、ソース・シリサイド13はソース拡散層143が形成する空乏層によって内包される。ドレイン・シリサイド12はドレイン拡散層142が形成する空乏層によって内包される。

【0108】本実施例においては、p⁺型の拡散層142、143が形成する空乏層がドレイン・シリサイド12、ソース・ドレイン13を包むことによって、電子によるn型Si基板141へのリーク電流が抑制される。

【0109】なお、変調領域としてSiGeを用いる実施形態においては、フェルミ・レベルがシリコンのエネルギー・バンドギャップ中央よりも伝導帯にシフトしたショットキー電極を用いてもよい、これにより、SiGe領域を有するp型SBMOSにおいては、電子にとってのバリアが低下することにより基板の多数キャリアで

ある電子の空乏化が抑制されるので、短チャネル効果が抑制される。さらに、電子にとってのバリアが低下することにより増大するドレイン／基板間の電子によるリーク電流は、その空乏層がドレイン・シリサイドを包む位置に形成されたドレイン p^+ 拡散層によって抑制される。

【0110】なお、本発明は、上記実施形態に限定されるものではない。例えば、ソース及びドレインの両方の下部に不純物拡散層を形成する必要はなく、ドレイン側の下部だけに拡散層が形成されていても良い。

【0111】なお、金属電極としては、シリサイド以外を用いることが可能である。また、変調領域は、ソース側及びドレイン側の少なくとも一方の金属電極を内包するように形成されていればよい。また、シリコン基板にSiGeによって変調領域を設ける以外に、AlGaAs基板にGaAs領域を変調領域として設けても良い。この場合、伝導帯端が変調されるので、 n 型SBMOSFETと p 型SBMOSFETのそれぞれに対して電子と正孔の役割は、シリコン基板にSiGe領域を設けた場合とは逆転する。

【0112】その他、本発明は、その要旨を逸脱しない範囲で、種々変形して実施することが可能である。

【0113】

【発明の効果】以上説明したように本発明によれば、少なくともドレインを構成する金属電極の下部に、ゲート電極側の端から離れた位置に不純物拡散層を形成することによって、短チャネル効果及びリーク電流を抑制することができる。

【図面の簡単な説明】

【図1】第1実施形態に係わるMOSトランジスタの構成を示す断面図。

【図2】図1のMOSトランジスタの製造工程を示す工程断面図。

【図3】図1のMOSトランジスタに対してSOI基板を用いた構造を示す断面図。

【図4】第2実施形態に係わるMOSトランジスタの構成を示す図。

【図5】第3実施形態に係わるMOSトランジスタの構成を示す断面図。

【図6】図5のMOSトランジスタの製造工程を示す工程断面図。

【図7】図5のMOSトランジスタの変形例の構成を示す断面図。

【図8】第4実施形態に係わるMOSトランジスタの構成を示す断面図。

【図9】図8のMOSトランジスタの製造工程を示す工程断面図。

【図10】図8のMOSトランジスタの変形例の構造を示す断面図。

【図11】第5実施形態に係わるMOSトランジスタの

構成を示す図。

【図12】第6実施形態に係わるSBMOSトランジスタの構成を示す断面図。

【図13】図12のSBMOSトランジスタの製造工程を示す工程断面図。

【図14】第7実施形態に係わるSBMOSトランジスタの構成を示す断面図。

【図15】第8実施形態に係わるSBMOSトランジスタの構成を示す断面図。

【図16】図15のSBMOSトランジスタの製造工程を示す工程断面図。

【図17】第9実施形態に係わるSBMOSトランジスタの構成を示す断面図。

【図18】第10実施形態に係わるSBMOSトランジスタの構成を示す断面図。

【図19】第11実施形態に係わるSBMOSトランジスタの構成を示す断面図。

【図20】第12実施形態に係わるSBMOSトランジスタの構成を示す断面図。

【図21】第13実施形態に係わるSBMOSトランジスタの構成を示す断面図。

【図22】第14実施形態に係わるSBMOSトランジスタの構成を示す断面図。

【図23】従来のSBMOSFETの構成を示す断面図。

【図24】ゼロバイアスにおける基板表面のエネルギー・バンド図。

【符号の説明】

11… p 型Si基板

12…ドレイン・シリサイド

13…ソース・シリサイド

14…ゲート酸化膜

15…ゲート電極

151…ゲート・多結晶シリコン

152…ゲート・シリサイド

16…側壁酸化膜

17…ドレイン拡散層

18…ソース拡散層

19…ドレイン電極

20…ソース電極

30…SOI基板

31…支持基板

32…酸化膜層

33…半導体層

41…フィールド酸化膜

42…ボディ・シリサイド

43…ボディ電極

44…ボディ電極拡散層

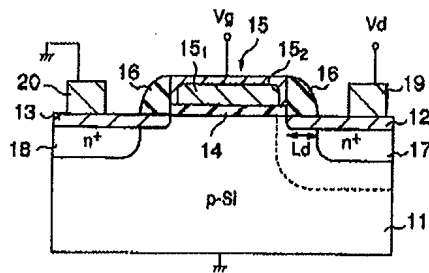
51… n 型Si基板

52…埋め込みチャネル層

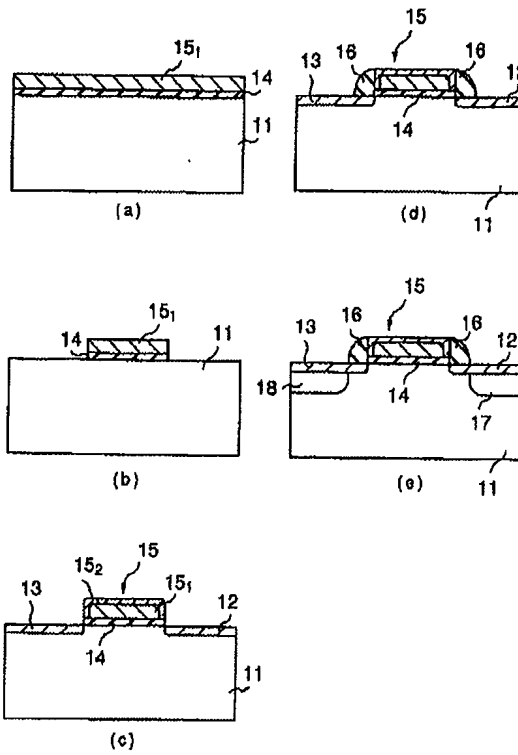
53...ドレイン拡散層
54...ソース拡散層
70...SOI基板

71...支持基板
72...酸化膜層
73...半導体層

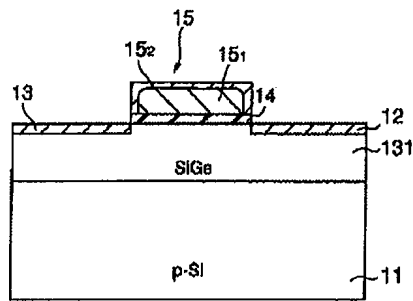
【図1】



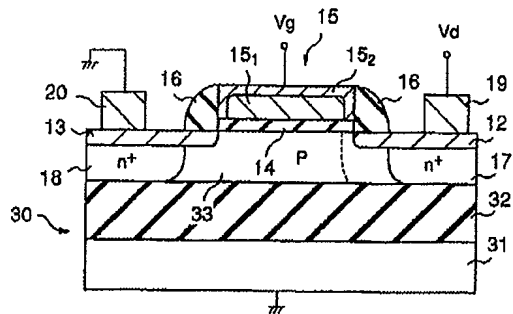
【図2】



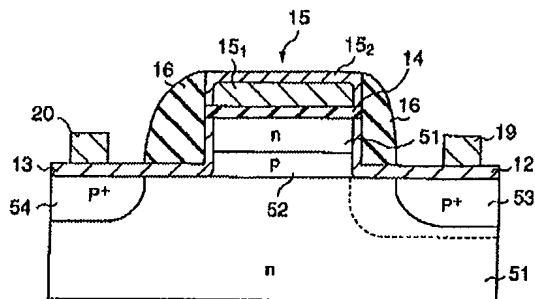
【図17】



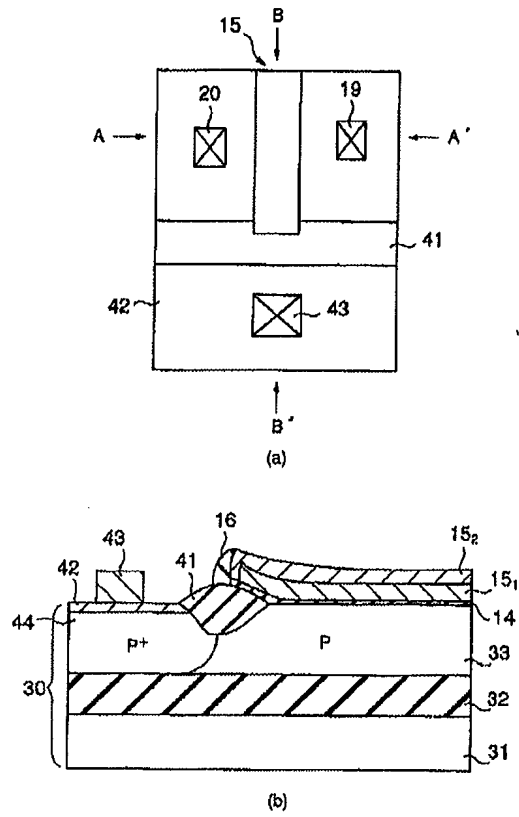
【図3】



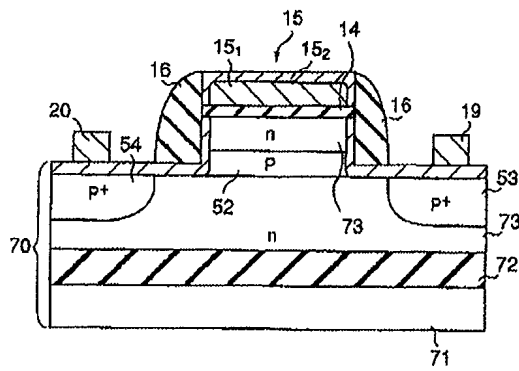
【図5】



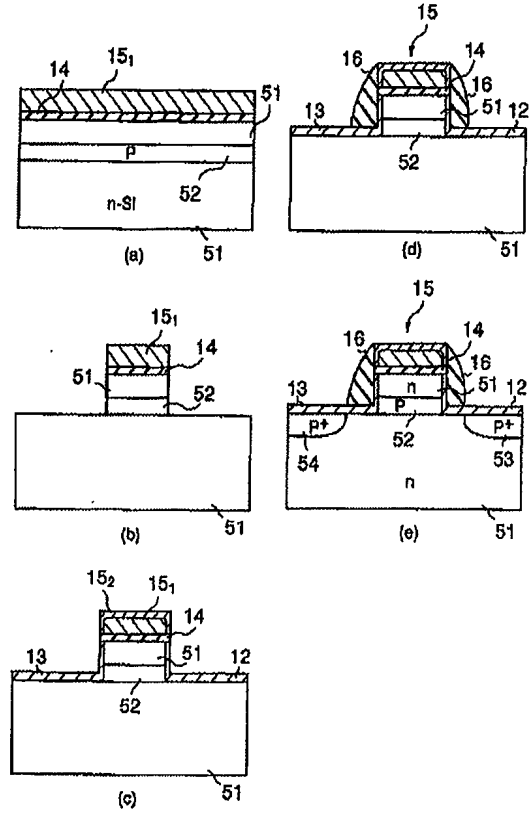
【図4】



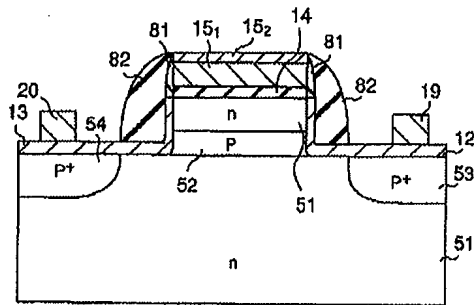
【図7】



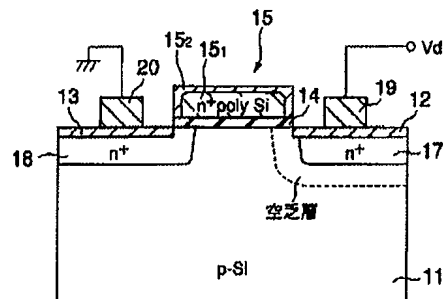
【図6】



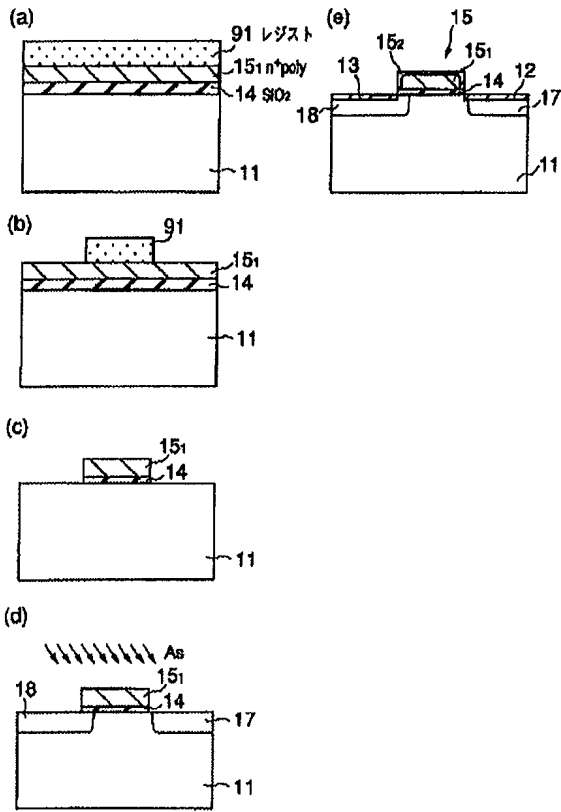
【図8】



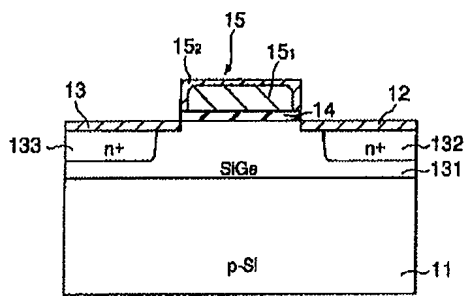
【図12】



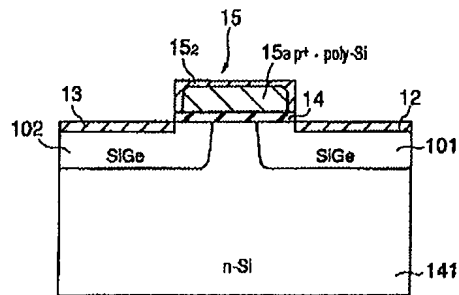
【図13】



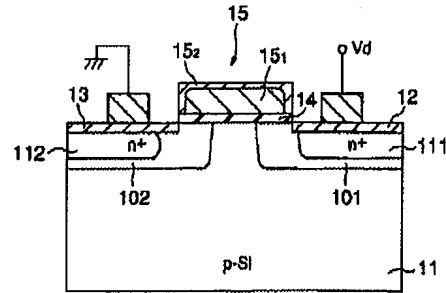
【図18】



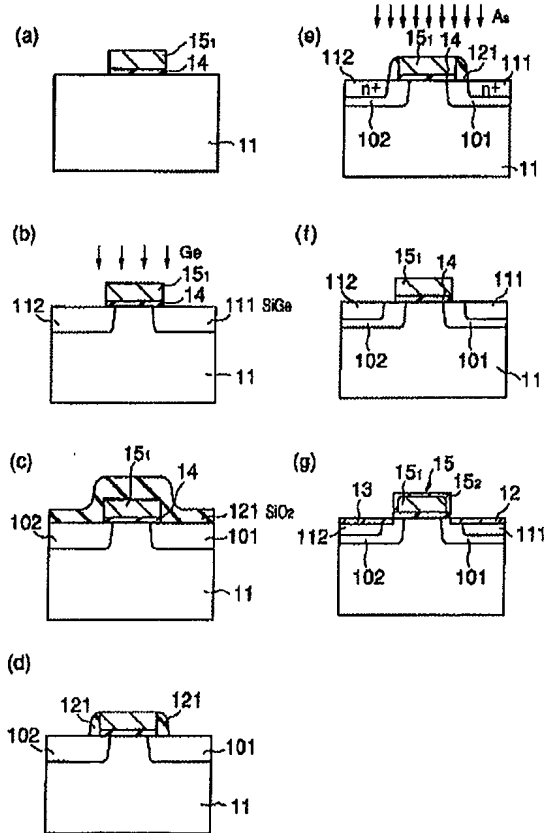
【図19】



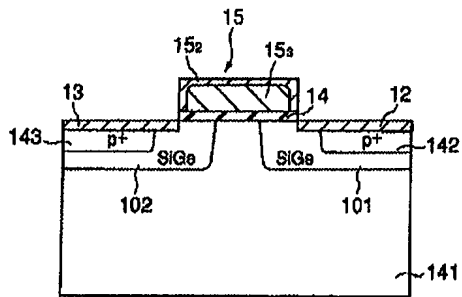
【図15】



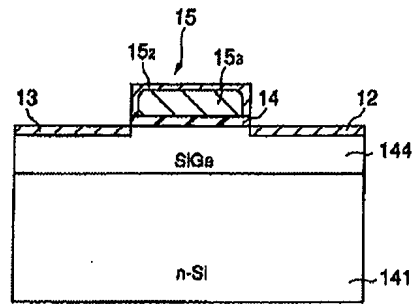
【図16】



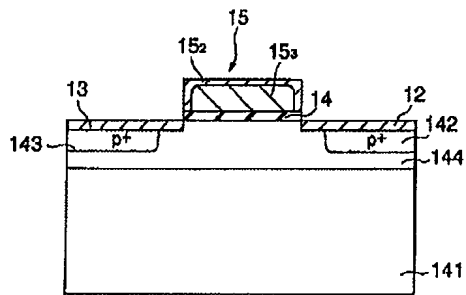
【図20】



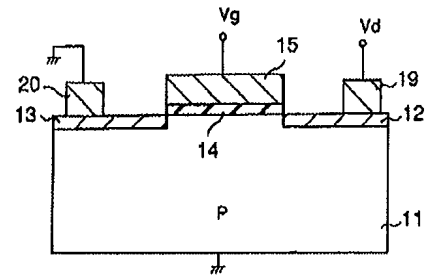
【図21】



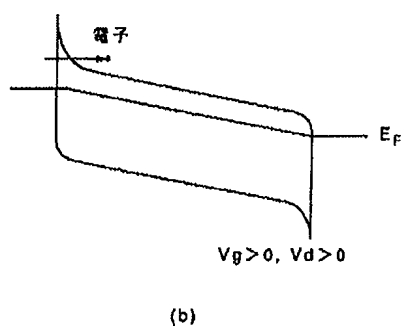
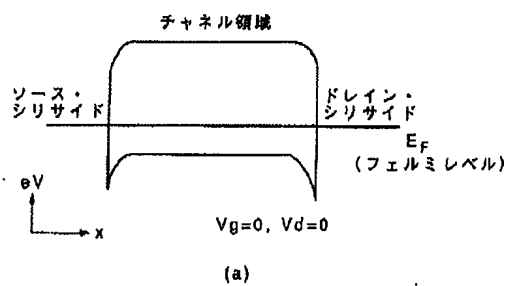
【図22】



【図23】



【図24】



フロントページの続き

(51) Int. Cl. 6

識別記号

F I

H O 1 L 29/78

6 1 8 C

6 1 8 E